

DIGITAL INTERFACE CIRCUIT, DIGITAL INPUT CIRCUIT AND DIGITAL CONVERTING CIRCUIT

Patent number: JP2290327 (A)

Publication date: 1990-11-30

Inventor(s): AANORUDO EMU FURITSUSHIYU +

Applicant(s): TEKTRONIX INC +

Classification:

- international: H03K19/0175; H03K19/0185; H03K19/0944; H03K5/02; (IPC1-7): H03K19/0175; H03K19/0185; H03K5/02

- european: H03K19/0185B4; H03K19/0944C

Application number: JP19890099908 19890419

Priority number(s): US19880187774 19880429

Also published as:

US4833350 (A)

EP0481530 (A2)

EP0481530 (A3)

EP0339679 (A2)

EP0339679 (A3)

Cited documents:

JP62183624 (A)

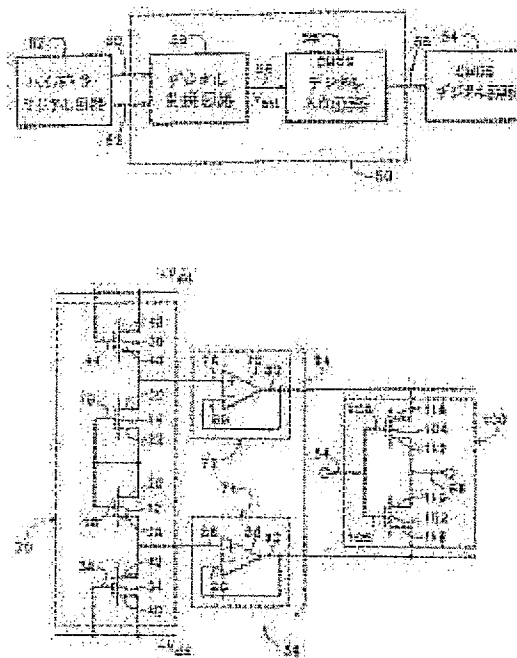
JP62190923 (A)

JP59135520 (A)

Abstract of JP 2290327 (A)

PURPOSE: To easily interface a bipolar and a CMOS digital circuit through a circuit consisting of a digital converting circuit which generates a specific intermediate-logic signal and a circuit which generates a specific CMOS logic signal.

CONSTITUTION: In an interface 50, a digital converting circuit 56 receives complementary type ECL outputs 60 and 62, a voltage offset circuit 70 generates an intermediate logic signal 64 having a waveform symmetrical about a common logical threshold voltage set by the CMOS digital circuit 58, and voltage follower control amplifiers 72 and 74 operate as an impedance converter 94 to effectively reduce the output impedance of complementary FETs 36 and 34 and positive and negative offsets 82 and 92 to the bias terminal of a CMOS inverter 100, thereby supplying outputs 106 and 108 to the CMOS digital circuit 54. The reference common stable logical threshold voltage can be obtained by the inverter 100. This constitution absorbs the difference in logical signal level between the circuits 52 and 54, variation in the voltage level of a circuit 52 with temperature, and the difference in threshold voltage between the complementary FETs to provide smooth interfacing.



Data supplied from the *espacenet* database — Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-290327

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)11月30日

H 03 K 19/0175
5/02
19/0185

L 7631-5 J

8326-5 J
8326-5 J

H 03 K 19/00 1 0 1 A
D

審査請求 有 請求項の数 3 (全9頁)

⑭ 発明の名称 デジタル・インタフェース回路、デジタル入力回路及びデジタル変換回路

⑮ 特 願 平1-99908

⑯ 出 願 平1(1989)4月19日

優先権主張 ⑰ 1988年4月29日 ⑱ 米国(U S) ⑲ 187774

⑳ 発 明 者 アーノルド・エム・フ アメリカ合衆国 オレゴン州 97229 ポートランド ノ
リツシュースウエスト・サークル・エー・ドライブ 2920
㉑ 出 願 人 テクトロニクス・イ アメリカ合衆国 オレゴン州 97077 ビーバートン テ
ンコーボレイテッド クトロニクス・インダストリアル・パーク サウスウエ
スト・カール・ブラウン・ドライブ 14150

㉒ 代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 デジタル・インタフェース回路、
デジタル入力回路及びデジタル変換回路

特許請求の範囲

1. バイポーラ・デジタル回路及びCMOSデジタル回路間に接続されるデジタル・インタフェース回路において、

上記バイポーラ・デジタル回路からバイポーラ論理信号を受け取り、所定のオフセット電圧成分及び上記バイポーラ論理信号に比例した信号成分を含む中間論理信号を発生するデジタル変換回路と、

上記所定のオフセット電圧成分に略等しく高及び低論理信号に共通の論理スレッショルド電圧を基準に上記中間論理信号のバイポーラ信号に比例した信号成分に対応するCMOS論理信号を発生し、上記CMOSデジタル回路に供給するデジタル入力回路と

を具えることを特徴とするデジタル・インタフェース回路。

2. 第1及び第2CMOS供給電圧を出力する第1及び第2電圧源と、

相補形の第1及び第2電界効果トランジスタ対を有し、該トランジスタ対の各スレッショルド電圧に比例する電圧を上記第1及び第2CMOS供給電圧からオフセットさせた第1及び第2CMOS供給オフセット電圧を発生する電圧オフセット回路と、

該第1及び第2CMOS供給オフセット電圧を受け取り、第1及び第2出力端子に出力し、上記電圧オフセット回路に比較し出力インピーダンスが低いインピーダンス変換回路と、

上記第1及び第2電界効果トランジスタに対して夫々相補形の第3及び第4電界効果トランジスタを有し、該第3及び第4電界効果トランジスタのソース端子を上記インピーダンス変換回路の第1及び第2出力端子に接続し、両ゲート端子を互いに接続して入力端子を形成し、両ドレイン端子を互いに接続して出力端子を形成した出力回路とを具え、

特開平2-290327(2)

該出力回路の上記入力端子に論理信号を供給し、出力端子から上記論理信号に応じたCMOS論理信号を得ることを特徴とするデジタル入力回路。

3. 共通モード電圧及びバイポーラ論理信号に夫々比例した第1及び第2電流を発生する第1及び第2電流発生手段と、

上記第1及び第2電流が夫々一方の端子に供給された第1及び第2電流ミラー回路と、上記第1及び第2電流ミラー回路の夫々他方の端子に一端を接続した第1及び第2バイアス抵抗器と、

上記第1及び第2電流ミラー回路間に接続された導体とを具え、

上記第2電流ミラー回路の出力端から上記バイポーラ論理信号の大きさに比例し、且つ所定電圧に対し対称に位置する出力信号を得ることを特徴とするデジタル変換回路。

発明の詳細な説明

(産業上の利用分野)

るが、以下の説明はシリコンから製造する回路の動作特性を例に挙げて行う。

バイポーラ-CMOS回路と呼ばれる1個のデジタル集積回路では、異なる構成部分にバイポーラ素子およびCMOSデジタル素子を使用することが望ましい場合がある。その第1の例としては、大規模集積方法で製造されたCMOSデジタル集積回路の動作周波数は、相互接続されたCMOSトランジスタ間の容量によって、これらトランジスタ自体のスイッチング速度よりも制限される。そこで、電流増幅器として構成した複数のバイポーラ・トランジスタを使用すると大規模CMOSデジタル回路の速度制限キャパシタンスを補償でき、その結果、CMOSデジタル回路よりも動作周波数が高いバイポーラ-CMOSデジタル回路を形成できる。第2の例としては、1個の集積回路内でCMOSTランジスタ及びバイポーラ・トランジスタの大規模集積を行うと、集積回路上で完全な電子システムの製造が可能になる。しかし、補償されていないバイポーラ回路およびCM

本発明は、異なるロジック・ファミリのデジタル電子回路間に機能的互換性を与えるデジタル・インタフェース回路、特にバイポーラ・デジタル回路及び相補形メタル・オキシド・セミコンダクタ(CMOS)間のインタフェースとして機能する回路に関する。

(従来の技術)

デジタル電子回路は、種々のロジック・ファミリの内の1つの動作特性に応じて機能するように設計されている。これらのロジック・ファミリには、CMOSTランジスタを使用したファミリ(CMOSデジタル回路)と、トランジスタートランジスタ論理回路(TTL)およびエミッタ結合ファミリ(ECL)の様なバイポーラ接合トランジスタを使用したファミリ(バイポーラ・デジタル回路)とがある。各ロジック・ファミリは、異なる動作制約のもとでの使用に適するように動作特性が異なる。このような回路はシリコンおよびガリウムヒ素を含む種々の半導体から製造され

OSデジタル回路の動作特性は多くの点で異なり、その結果、これらの回路をインタフェースすることが困難である。

(発明が解決しようとする課題)

ECLファミリ用に設計したバイポーラ・デジタル回路の場合、CMOS回路との第1の違いは論理信号レベルである。比較のために、これらの回路を+5Vの電源で動作させると、ECL回路の高及び低論理信号レベルは、夫々+4.1V及び+3.3Vになる。これに対して、高密度CMOS回路の高及び低論理信号レベルは、夫々+5Vおよび0Vである。また第2の違いは、ECL回路の論理信号電圧レベルが温度変化に応じて変化することに対して、CMOS回路の論理信号電圧レベルは、動作温度の全範囲にわたり略一定であることである。更に第3の違いは、CMOS回路に使用するnチャンネル及びpチャンネル電界効果トランジスタ(FET)は、互いにスレッショルド電圧特性が異なり、製造工程の変化に影響を受

特開平 2-290327 (3)

け易い。これに対し、ECL回路に使用するnpnバイポーラ接合トランジスタは製造工程の変化にあまり影響を受けない。CMOSデジタル回路のnおよびpチャンネル・トランジスタのスレッシュホールド電圧特性が異なるために、高及び低ロジック信号のスレッシュホールド・レベルが電源電圧の30%又は70%に変化する。それにより、高及び低論理信号に関して伝播遅延時間が異なる。

したがって、ECL回路およびCMOS回路間に機能的互換性を与えるインタフェースに必要な要件は、これらの回路の論理信号電圧レベルの違いを補償し、ECL論理信号電圧レベルの温度による変化を補償し、更に共通のCMOS論理信号電圧スレッシュホールドを使用可能にすることである。マギー (Magee) の発明による米国特許第 4,578,600号明細書は、高及び低CMOS論理信号レベル用に共通の論理スレッシュホールド電圧が使用可能になるCMOSバッファ回路を開示している。この発明では、論理スレッシュホールド電圧は、回路に使用するn及びpチャンネルFETの異なる

スレッシュホールド電圧特性とは独立している。

マギーによるCMOSバッファ回路は、第5図に示す従来のCMOSインバータ(10)を含んでいる。インバータ(10)は、nチャンネル・トランジスタ(12)及びpチャンネル・トランジスタ(16)から成り、これらの各ゲート端子(16)及び(18)は電氣的に互いに接続され、各ドレイン端子(20)及び(22)も電氣的に互いに接続されている。ゲート端子(16)及び(18)はインバータ(10)の入力端子(24)を形成し、ドレイン端子(20)及び(22)はインバータ(10)の出力端子(26)を形成する。nチャンネル・トランジスタ(12)のソース端子(28)は負電圧源導体-V_{dd}に電氣的に接続され、pチャンネル・トランジスタ(14)のソース端子(30)は正電圧源導体+V_{dd}に電氣的に接続され、ソース端子(28)及び(30)はインバータ(10)のバイアス電圧端子となる。インバータ(10)の出力端子(26)には、入力端子(24)に供給されたCMOS論理信号に

関連する反転されたCMOS論理信号が現れる。

第6図に、インバータ(10)を使用したマギーのCMOSバッファ回路(32)を示す。1対のnチャンネル及びpチャンネル・オフセット・トランジスタ(34)及び(36)は、夫々nチャンネル及びpチャンネル・トランジスタ(12)及び(14)にオフセット電圧を供給する。オフセット電圧が発生し、nチャンネル及びpチャンネル・トランジスタ(12)及び(14)に供給される動作を以下に説明する。pチャンネル・オフセット・トランジスタ(34)のゲート端子(38)及びドレイン端子(40)は、負電圧源導体-V_{dd}に電氣的に接続される。pチャンネル・オフセット・トランジスタ(34)のソース端子(42)及びnチャンネル・トランジスタ(12)のソース端子(28)にはpチャンネル・スレッシュホールド電圧に比例した電圧分だけ-V_{dd}からオフセットした電圧が生じる。同様に、nチャンネル・オフセット・トランジスタ(36)のゲート(44)及びドレイン端子(46)は、正

電圧源導体+V_{dd}に電氣的に接続される。nチャンネル・オフセット・トランジスタ(36)のソース端子(40)及びpチャンネル・トランジスタ(14)のソース端子(30)にnチャンネル・スレッシュホールド電圧に比例した電圧分だけ+V_{dd}からオフセットした電圧が生じる。インバータ(10)の入力端子(24)及び出力端子(26)は、夫々バッファ回路(32)の入力端子及び出力端子となる。

pチャンネル及びnチャンネル・オフセット・トランジスタ(34)及び(36)は、インバータ(10)のnチャンネル及びpチャンネル・トランジスタ(12)及び(14)と共に2対の対称的相補形トランジスタ回路を形成する。この回路では、nチャンネル及びpチャンネル・トランジスタ(12)及び(14)の異なるスレッシュホールド電圧特性とは独立した論理スレッシュホールド電圧が得られる。即ち、この構成によると、電圧-V_{dd}及び+V_{dd}の中間値の安定した論理スレッシュホールド電圧が得られる。これに比較すると、オフ

特開平 2-290327 (4)

セット・トランジスタ (34) 及び (36) を接続しないインバータ (10) は、n チャンネル・トランジスタ (12) 及び p チャンネル・トランジスタ (14) のスレッシュホールド電圧特性の変化により、論理スレッシュホールド電圧を正確に設定できない。

しかし、マギーの CMOS バッファ回路 (32) には、インバータ (10) のスイッチング動作期間の負帰還電流により生ずる高出力インピーダンスに起因する問題がある。この問題とは、出力電流はオフセット・トランジスタ (34) 及び (36) の一方のインピーダンスを介して流れるので、トランジスタ (12) 及び (14) に有効使用できる駆動電圧が減少することである。その結果、接続した負荷容量を駆動するバッファ回路 (32) の機能が低下し、回路動作の最高スイッチング速度がインバータ (10) だけの場合に比較して約 1 桁分遅くなる。したがって、マギーの CMOS バッファ回路では充分な動作速度が得られず、バイポーラ回路及び CMOS デジタル回路

間のインタフェース内の使用には適さない。

(課題を解決するための手段及び作用)

本発明のデジタル・インタフェース回路は、デジタル変換回路及びデジタル入力回路から成り、バイポーラ・デジタル回路及び CMOS デジタル回路間に接続される。デジタル変換回路は、バイポーラ・デジタル回路からバイポーラ論理信号を受け取り、所定のオフセット電圧成分及びバイポーラ論理信号に比例した信号成分を含む中間論理信号を発生する。デジタル入力回路は、この中間論理信号の上記所定のオフセット電圧成分に略等しい高および低論理信号に共通の論理スレッシュホールド電圧を発生し、この論理スレッシュホールド電圧を基準にして上記バイポーラ論理信号に比例する信号に対応する CMOS 論理信号を発生し、CMOS デジタル回路に供給する。

また、本発明のデジタル入力回路では、電圧オフセット回路で第 1 及び第 2 CMOS 供給電圧をオフセットし、インピーダンス変換回路に供給す

る。このインピーダンス変換回路の出力インピーダンスは、電圧オフセット回路に比較して低い。インピーダンス変換回路の第 1 及び第 2 出力信号は、相補接続した電界効果トランジスタ対から成る出力回路に供給電圧として加える。この出力回路の入力端子に論理信号を入力し、出力端子からは第 1 及び第 2 CMOS 供給電圧間の特定値を共通のスレッシュホールド電圧として入力論理信号に応じた CMOS 論理信号が得られる。

更に、本発明のデジタル変換回路では、共通モード電圧及び互いに極性が異なる信号電圧を含む相補形のバイポーラ論理信号が第 1 及び第 2 電流発生手段に入力される。第 1 及び第 2 電流発生手段は、共通モード電圧及びバイポーラ論理信号に夫々比例した第 1 及び第 2 電流を発生し、夫々第 1 及び第 2 電流ミラー回路の各一方の端子に供給する。第 1 及び第 2 電流ミラー回路の各他方の端子には夫々第 1 及び第 2 バイアス抵抗器を接続し、更に第 1 及び第 2 電流ミラー回路間に導体を接続する。第 2 電流ミラー回路の出力端からはバイボ

ラ論理信号の大きさに比例し、且つ所定電圧に対して対称に位置する出力信号が得られる。

(実施例)

第 1 図は本発明のデジタル・インタフェース回路を説明するためのブロック図を示す。この図において、バイポーラ・CMOS 形インタフェース回路 (50) は、バイポーラ・トランジスタで構成したデジタル回路 (52) (バイポーラ回路 (52)) 及び CMOS トランジスタで構成したデジタル回路 (54) (CMOS 回路 (54)) 間のインタフェースとして働く。ここでは、バイポーラ・デジタル回路 (52) には、エミッタ結合論理 (ECL) デジタル回路を使用する。また、CMOS 回路 (54) には、CMOS トランジスタで構成した入力回路段を含むバイポーラ・デジタル回路を使用する。インタフェース回路 (50) は、デジタル変換回路 (56) 及び CMOS デジタル入力回路 (58) から成り、これら 2 つの回路は共に働いて ECL 信号を受け取り、この信号

特開平 2-290327 (5)

から CMOS 出力信号を形成する。デジタル変換回路 (56) は、バイポーラ回路 (52) から相補形 ECL 論理出力信号 D 及び \bar{D} が供給される入力端子 (60) 及び (62) を有する。デジタル変換回路 (56) は受け取った ECL 信号を基に、CMOS デジタル入力回路 (58) で設定された共通論理スレッシュールド電圧に対して対称に位置する電圧波形を持つ中間論理信号を発生する。CMOS デジタル入力回路 (58) はその入力端子 (64) にこの中間論理信号を受け取り、この信号を基に CMOS 回路 (54) の入力端子 (66) に供給する CMOS 出力信号を形成する。

第 2 図は第 1 図に示した CMOS デジタル入力回路 (58) の回路構成を示す。CMOS デジタル入力回路 (58) は、n チャンネル及び p チャンネル MOS FET のスレッシュールド電圧に比例したオフセット電圧を発生する電圧オフセット回路 (70) を含む。電圧オフセット回路 (70) はマギーの CMOS バッファ回路 (32) に類似しているが、CMOS バッファ回路 (32) の入

力端子 (24) 及び出力端子 (26) が電氣的に接続されている点が異なる。電圧オフセット回路 (70) は、p チャンネル・トランジスタ (34) のソース端子 (42) に負オフセット電圧を生じ、n チャンネル・トランジスタ (36) のソース端子 (48) に正オフセット電圧を生じる。

1 対の同様の電圧フォロア増幅器 (72) 及び (74) には、夫々正及び負オフセット電圧が供給される。電圧フォロア増幅器 (72) は演算増幅器 (76) から成り、その正入力端子 (78) には n チャンネル・トランジスタ (36) のソース端子 (48) からの正オフセット電圧を供給する。演算増幅器 (76) の負入力端子 (80) は、その出力端子 (82) に接続する。同様に、電圧フォロア増幅器 (74) は演算増幅器 (86) から成り、その正入力端子 (88) には p チャンネル・トランジスタ (34) のソース端子 (42) からの負オフセット電圧を供給する。演算増幅器 (86) の負入力端子 (90) は、その出力端子 (92) に接続する。電圧フォロア増幅器 (72)

及び (74) は、インピーダンス変換回路 (94) として働き、n チャンネル・トランジスタ (36) のソース端子 (48) 及び p チャンネル・トランジスタ (34) のソース端子 (42) の出力インピーダンスを効果的に減少させる。

電圧フォロア増幅器 (72) 及び (74) の出力端子 (82) 及び (92) は、正及び負オフセット電圧を CMOS インバータ回路 (100) の各々のバイアス電圧端子に供給する。CMOS インバータ回路 (100) は、n チャンネル・トランジスタ (102) 及び p チャンネル・トランジスタ (104) から成り、各ゲート端子 (106) 及び (108) は電氣的に互いに接続し、各ドレイン端子 (110) 及び (112) も電氣的に互いに接続する。インバータ (100) は、p チャンネル・トランジスタ (104) のソース端子 (118) に正オフセット電圧を受け取り、n チャンネル・トランジスタ (102) のソース端子 (116) に負オフセット電圧を受け取る。

ゲート端子 (106) 及び (108) は CMOS

S デジタル入力回路 (58) の入力端子 (64) を形成し、ドレイン端子 (110) 及び (112) はインタフェース回路 (50) の出力端子を形成する。このインタフェース回路 (50) の出力は、CMOS 回路 (54) の入力端子 (66) に供給する。インバータ回路 (100) は、結合した論理インバータ及び論理コンバータとして働き、入力端子 (64) に供給した中間論理信号にตอบสนองして、反転された CMOS 論理信号を CMOS 回路 (54) に供給する。

n チャンネル及び p チャンネル形のトランジスタは、互いに“相補形”であると、ここでは呼ぶ。p チャンネル及び n チャンネル・オフセット・トランジスタ (34) 及び (36) は、インバータ回路 (100) の夫々 n チャンネル及び p チャンネル・トランジスタ (102) 及び (104) と共に 2 組の対称的相補形トランジスタ対を形成する。これら 2 組のトランジスタ対は共に働き、n チャンネル及び p チャンネル・トランジスタ (102) 及び (104) の異なるスレッシュー

特開平2-290327 (6)

ド電圧特性とは独立した論理スレッシュールド電圧を供給する。この構成によれば、インバータ(100)の出力電圧波形が低論理信号レベルから高論理信号レベルに変化する場合、またはその逆に変化する場合の基準となる共通の安定した論理スレッシュールド電圧が得られる。特に、+5V及び+0Vの正及び負の供給電圧では、共通論理スレッシュールド電圧は+2.5Vになる。

電圧フォロア増幅器(72)及び(74)のインピーダンス変換作用より、デジタル入力回路(58)はCMOS論理インバータ回路のみの場合の約半分の最低速度で動作するようになる。CMOS論理インバータ回路のみの場合より動作速度が低くなる理由は、ソース端子(116)及び(118)間の電圧差が、正及び負電源導体の電圧差の約半分になるからである。CMOSデジタル回路の動作速度は、正及び負電圧の電圧差の大きさに比例する。

複数のインバータ(100)を演算回路(76)及び(86)の出力端子(82)及び(92)に

電氣的に接続すると、デジタル入力回路(58)が複数チャンネル構成で動作可能になる。

第3図はデジタル変換回路(56)の具体的回路を示す。デジタル変換回路(56)は第1電流発生回路段として働くダイオード接続したNPNバイポーラ接合トランジスタ(130)と、第2電流発生回路段として働くダイオード接続したNPNバイポーラ接合トランジスタ(132)とを含む。トランジスタ(130)及び(132)には、夫々ECLデジタル出力信号Dに比例した電流が供給される。ECLデジタル出力信号Dは、共通モード電圧 V_{cm} 及び正又は負極性の信号電圧成分 V_{sig} から成る。トランジスタ(130)及び(132)により生じる電流は、夫々1対のNPNバイポーラ接合トランジスタ(134)及び(136)に送られる。トランジスタ(130)及び(134)と、トランジスタ(132)及び(136)との各対は、電流ミラー回路として動作する。トランジスタ(134)及び(136)は導線(138)を介して共に働き、電圧が信号

電圧 V_{sig} に比例し、さらに電圧波形がCMOSデジタル入力回路(58)により設定された共通の論理スレッシュールド電圧に対して対称的に位置する中間論理信号 V_{int} を発生する。この動作を以下に詳述する。

共通の回路接続点(144)で接続された2kオームの第1入力抵抗器(140)及び2kオームの第2入力抵抗器(142)には、夫々相補形ECL論理入力信号D及び $\neg D$ (Dの反転を意味する)が供給される。論理入力信号D及び $\neg D$ は、例えば、夫々信号電圧成分 $+V_{sig}$ 及び $-V_{sig}$ を含んでいる。その結果、入力抵抗器(140)及び(142)を流れる電流は、夫々信号電圧成分 $+V_{sig}$ 及び $-V_{sig}$ に比例し、互いに相殺し合い、回路接続点(144)には共通モード電圧 V_{cm} に比例した電流 I_1 が供給される。特に、抵抗器(140)及び(142)の各値を $2R$ とすると、電流 I_1 は次のように表される。

$$I_1 \approx [V_{cm} + V_{sig}] / 2R + [V_{cm} - V_{sig}] / 2R \\ \approx V_{cm} / R$$

電流 I_1 は、トランジスタ(132)のコレクタ端子(146)及びベース端子(148)と、トランジスタ(136)のベース端子(150)に送られる。各トランジスタ(132)及び(136)のエミッタ端子(152)及び(154)は接地電位源(156)に接続する。トランジスタ(132)及び(136)は第1トランジスタ対(157)を形成し、トランジスタ(136)はコレクタ端子(158)に電流 I_1 に略等しい電流 I_2 を発生する。

1kオームの第3入力抵抗器(162)はECL入力信号Dを受け取り、入力信号Dの電圧即ち共通モード電圧 V_{cm} 及び信号電圧成分 V_{sig} の和電圧に比例した電流 I_3 を回路接続点(164)に送る。特に、抵抗器の値を R とすると電流 I_3 は次のように表される。

$$I_3 \approx [V_{cm} + V_{sig}] / R$$

電流 I_3 は、トランジスタ(130)のコレクタ端子(166)及びベース端子(168)と、

特開平 2-290327 (7)

トランジスタ (134) のベース端子 (172) とに送られる。トランジスタ (130) 及び (134) の各エミッタ端子 (176) 及び (178) は共に接地電位源に接続する。トランジスタ (130) 及び (134) は第2のトランジスタ対 (179) を形成し、トランジスタ (134) はそのコレクタ端子 (180) に電流 I_1 に比例した電流 I_4 を発生する。

導線 (138) は、コレクタ端子 (180) の電流からコレクタ端子 (158) の電流を減算する。その結果、電流 I_4 は (電流 I_1 - 電流 I_2) に略等しくなるが、6 k オームの第1バイアス抵抗器 (186) に生ずるバイアス電流により増加される。抵抗器 (186) は、ECL 電源 V_{cc} 及びトランジスタ (136) のコレクタ端子 (158) 間に接続される。抵抗器 (186) の値を 6 R とすると、電流 I_4 は次のように表される。

$$I_4 \approx I_1 - I_2 + V_{cc}/6R \\ \approx [V_{cm} + V_{sig}] / R - V_{cm}/R + V_{cc}/6R$$

D 電圧に対して対称的に位置する電圧波形を持つ中間論理信号 V_{int} に変換される。ECL 論理信号 D は増幅されて、デジタル入力回路 (58) で使用可能な高及び低論理信号レベルを持つようになる。

特に、ECL 供給電圧 V_{cc} が約 +5 V の場合は、上記の等式の $V_{cc}/2$ の項により、デジタル入力回路 (58) により生ずる共通論理スレッショルド電圧の大きさである +2.5 V のオフセット電圧が得られる。信号電圧 V_{sig} が約 ±0.4 V の場合は、中間論理信号 V_{int} の高及び低論理信号電圧は夫々 +3.7 V 及び +1.3 V である。+3.7 V 及び +1.3 V の論理信号電圧は、夫々高及び低 CMOS 論理ステートとしてデジタル入力回路 (58) を駆動するのに適切な大きさである。

上述の電流の大きさの値の算出は、一次近似で行われる。回路には複数の漏れ電流があり、この漏れ電流は相互接続された異なるトランジスタの β に従って増幅される。これらの漏れ電流の一部を補償するには、トランジスタ (130)、

$$\approx [6V_{sig} + V_{cc}] / 6R$$

デジタル変換回路 (56) は回路接続点 (188) に、CMOS デジタル入力回路 (58) の入力端子 (64) に送られる中間論理信号 V_{int} を発生する。中間論理信号 V_{int} は、ECL 供給電圧 V_{cc} と 3 k オームの第2バイアス抵抗器 (190) の両端に生ずる電圧との電圧差に略等しい。抵抗器 (190) は ECL 電源 V_{cc} 及び回路接続点 (188) 間に接続され、その両端には電流 I_4 に比例したオフセット電圧が生じる。特に、抵抗器 (190) の値を 3 R とすると、中間論理信号 V_{int} は次のように表される。

$$V_{int} \approx V_{cc} - I_4 \times 3R \\ \approx V_{cc} - ([6V_{sig} + V_{cc}] / 6R) \times 3R \\ \approx V_{cc}/2 - 3V_{sig}$$

以上の結果、ECL 論理信号 D は、デジタル入力回路 (58) で発生される共通論理スレッショル

(132) 及び (136) の各々のエミッタの面積が $1 \mu \times 3 \mu$ であるように構成し、更にトランジスタ (134) のエミッタの面積が $1 \mu \times 12 \mu$ であるように構成して、漏れ電流を減少させる。更には、抵抗器 (140)、(142)、(162)、(186) 及び (190) の公称抵抗値を夫々 6 k オーム、6 k オーム、3 k オーム、18 k オーム及び 4.5 k オームに変更する。

デジタル変換回路 (56) 及びデジタル入力回路 (58) は、夫々 0 ~ +5 V 及び約 +1.25 V ~ +3.75 V の異なる電源電圧を使用し、電氣的ノイズの抑制効果を高めている。特に、ECL デジタル信号の高及び低論理信号レベル間の電圧差は比較的小さい。CMOS 電源により発生する比較的小さい電圧スパイクは、CMOS デジタル回路には影響しないが、ECL デジタル信号の読み違いを引き起こす原因となることがある。デジタル変換回路 (56) 及びデジタル入力回路 (58) に別々の電源を使用すると、このようなエラーの防止に役立つ。

特開平 2-290327 (8)

第 4 図では、第 3 図中の抵抗器 (190) 及び回路接続点 (188) 間にショットキー・ダイオードを電氣的に接続した変更がなされている。ダイオード (192) を追加したことで、第 6 図のデジタル変換回路 (56) の温度補償特性が改良される。ダイオード (192) の他に、第 6 図の回路 (56) を更に変更し、抵抗器 (140)、(142)、(162)、(186) 及び (192) の公称抵抗値を夫々 6 k オーム、6 k、3 k、30 k 及び 1.9 k オームにする。

本発明はここに示し且つ説明した実施例のみに限定するべきではなく、本発明の要旨を逸脱することな種々の変形及び変更が可能であることは当業者には容易に理解できよう。

〔発明の効果〕

以上の説明から理解出来るように、本発明によれば、デジタル変換回路は所定のオフセット電圧成分及び供給されたバイポーラ論理信号に比例した信号成分を含む中間論理信号を発生し、デジタ

ル入力回路は所定のオフセット電圧に略等しく高及び低論理信号に共通のスレッシュホールド電圧及び中間論理信号に対応する CMOS 論理信号を発生する。この構成により本発明のデジタル・インタフェース回路は、バイポーラ・デジタル回路及び CMOS デジタル回路間のレベルの違いを補償し、高及び低論理レベルに対し共通のスレッシュホールド電圧を使用してバイポーラ論理信号に比例した信号から CMOS 論理信号を形成できる。

図面の簡単な説明

第 1 図はバイポーラ論理信号を受け取り、CMOS 論理信号を形成する本発明のデジタル・インタフェース回路のブロック図、第 2 図は本発明の CMOS デジタル入力回路の好適な実施例の回路図、第 3 図は本発明のデジタル変換回路の好適な実施例の回路図、第 4 図は本発明のデジタル変換回路の他の実施例の回路図、第 5 図は従来の CMOS インバータ回路の回路図、第 6 図は従来の CMOS バッファ回路の回路図を示す。

図中において、(38) 及び (44) は第 1 及

び第 2 電界効果トランジスタ、(50) はデジタル・インタフェース回路、(52) はバイポーラ・デジタル回路、(54) は CMOS デジタル回路、(56) はデジタル変換回路、(58) はインピーダンス変換回路、(70) は電圧オフセット回路、(100) は出力回路、(132) 及び (136) は第 1 電流ミラー回路、(130) 及び (134) は第 2 電流ミラー回路、(138) は導体、(140) 及び (162) は第 1 電流発生手段、(142) は第 2 電流発生手段、(186) 及び (190) は第 1 及び第 2 バイアス抵抗器である。

代 理 人 松 隈 秀 盛

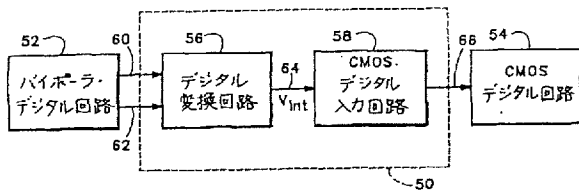


FIG. 1

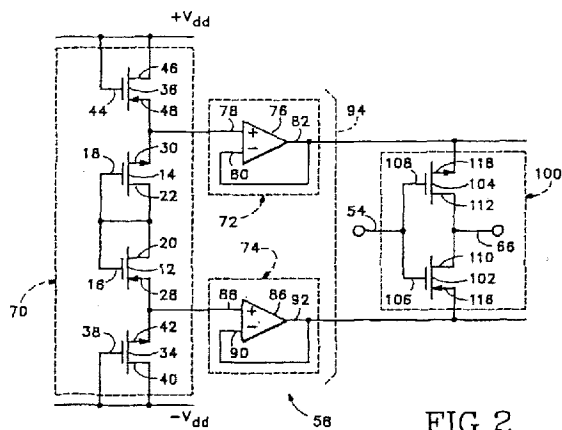


FIG. 2

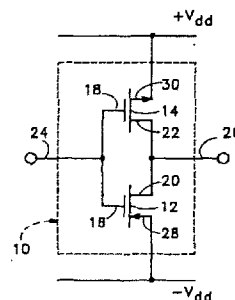


FIG. 5

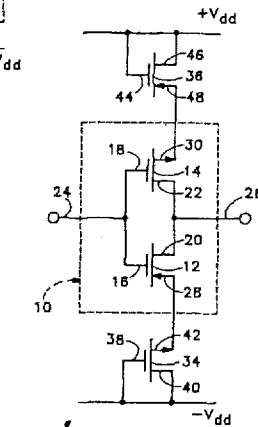


FIG. 6

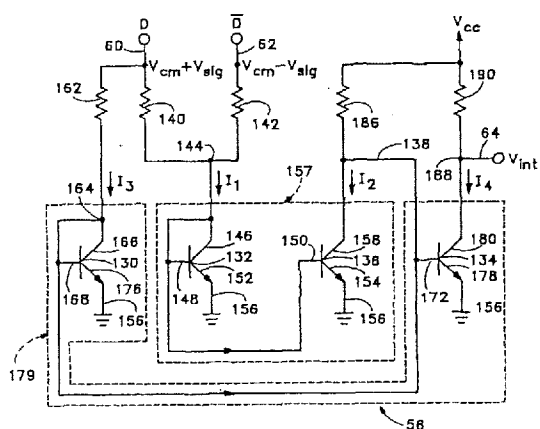


FIG. 3

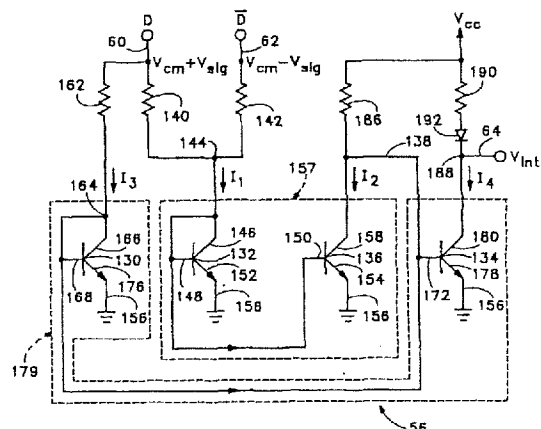


FIG. 4